

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-359332  
 (43)Date of publication of application : 13.12.2002

(51)Int.Cl. H01L 23/48  
 H01L 29/78

(21)Application number : 2002-075020 (71)Applicant : TOSHIBA CORP  
 (22)Date of filing : 18.03.2002 (72)Inventor : HORI TETSUJI

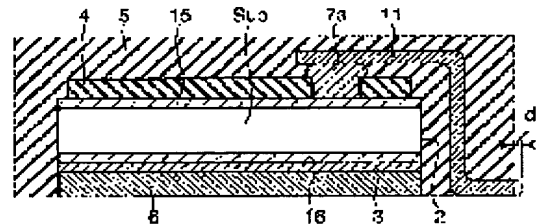
(30)Priority  
 Priority number : 2001096280 Priority date : 29.03.2001 Priority country : JP

## (54) SEMICONDUCTOR PACKAGE AND ITS MANUFACTURING METHOD

## (57)Abstract:

PROBLEM TO BE SOLVED: To sharply downsize a package as compared with a conventional one.

SOLUTION: A semiconductor package 10 includes a semiconductor chip 2. The semiconductor chip includes the first and second electrodes 15 and 8 arranged above and the third electrode 16 arranged on bottom side. A heat spreader 6 is joined with the third electrode 16. Conductive first and second leads 11 and 12 are electrically connected via conductive first and second junction members 7a and 7b to the first and second electrodes 15 and 8, respectively. Each of the first and second leads 11 and 12 has feet L3 which are arranged side by side on the first side of the heat spreader 6, at its lower end. The bottom of the heat spreader 6 and the bottoms of the feet L3 of the first and second leads 11 and 12 are exposed from the bottom of an insulating sealing body 5, and besides are arranged on the same plane.



## LEGAL STATUS

[Date of request for examination] 04.04.2003  
 [Date of sending the examiner's decision of rejection] 13.01.2004  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection] 2004-02876  
 [Date of requesting appeal against examiner's decision of rejection] 12.02.2004  
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

(2)

## 参考技術

55/51

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-359332

(P 2 0 0 2 - 3 5 9 3 3 2 A)

(43) 公開日 平成14年12月13日 (2002. 12. 13)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テームコード' (参考)
H01L 23/48		H01L 23/48	L
29/78	652	29/78	652 L
	653		652 Q
			653 A

審査請求 未請求 請求項の数28 O L (全13頁)

(21) 出願番号 特願2002-75020 (P 2002-75020)

(22) 出願日 平成14年 3 月18日 (2002. 3. 18)

(31) 優先権主張番号 特願2001-96280 (P 2001-96280)

(32) 優先日 平成13年 3 月29日 (2001. 3. 29)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078  
株式会社東芝  
東京都港区芝浦一丁目 1 番 1 号

(72) 発明者 堀 哲二  
神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝マイクロエレクトロニクスセン  
ター内

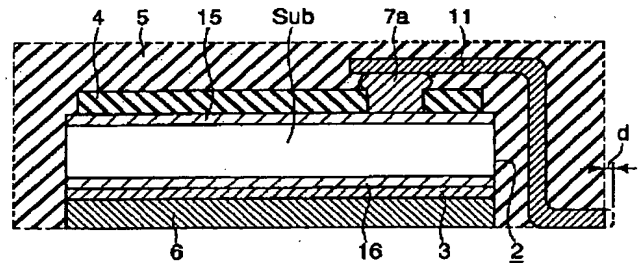
(74) 代理人 100058479  
弁理士 鈴江 武彦 (外 6 名)

(54) 【発明の名称】 半導体パッケージ及びその製造方法

(57) 【要約】

【課題】従来に比べてパッケージサイズを大幅に小型化する。

【解決手段】半導体パッケージ 1 0 は半導体チップ 2 を含む。半導体チップは、上側に配設された第 1 及び第 2 電極 1 5、8 と、底側に配設された第 3 電極 1 6 と、を含む。第 3 電極 1 6 にヒートスプレッド 6 が接合される。第 1 及び第 2 電極 1 5、8 の夫々に導電性の第 1 及び第 2 接合部材 7 a、7 b を介して導電性の第 1 及び第 2 リード 1 1、1 2 が電気的に接続される。第 1 及び第 2 リード 1 1、1 2 の夫々は、下端部にヒートスプレッド 6 の第 1 側に並べて配置された足部 1 3 を有する。ヒートスプレッド 6 の底面、第 1 及び第 2 リード 1 1、1 2 の足部 1 3 の底面は、絶縁性の封止体 5 の底面から露出し、且つ同一の平面上に配置される。



## 【特許請求の範囲】

【請求項1】上側に配設された第1及び第2電極と、底側に配設された第3電極と、を含む半導体チップと、前記第3電極に接合されたヒートスプレッドと、前記第1及び第2電極の夫々に導電性の第1及び第2接合部材を介して電氣的に接続された導電性の第1及び第2リードと、前記第1及び第2リードの夫々は、下端部において横方向に延び且つ前記ヒートスプレッドの第1側に並べて配置された足部を有することと、前記半導体チップ、前記ヒートスプレッド、及び前記第1及び第2リードの少なくとも前記足部の一部までを埋め包んで封止する絶縁性の封止体と、前記ヒートスプレッドの底面、前記第1及び第2リードの前記足部の底面は、前記封止体の底面から露出し、且つ実質的に同一の平面上に配置されることと、を具備することを特徴とする半導体パッケージ。

【請求項2】前記ヒートスプレッドは導電性であり、且つ前記第3電極に導電性の第3接合部材を介して電氣的に接続され、第3リードとして機能することを特徴とする請求項1に記載の半導体パッケージ。

【請求項3】前記第1、第2、及び第3電極は、夫々ソース電極、ゲート電極、及びドレイン電極に電氣的に接続されることを特徴とする請求項1に記載の半導体パッケージ。

【請求項4】前記半導体チップの前記上側に接続された、前記第1及び第2リードを含む全てのリードの足部は、前記ヒートスプレッドの第1側のみに並べて配置されることを特徴とする請求項1に記載の半導体パッケージ。

【請求項5】前記第1及び第2リードは、前記半導体チップに印加される第1及び第2電圧を夫々受ける唯一の端子であることを特徴とする請求項1に記載の半導体パッケージ。

【請求項6】前記第1及び第2リードの夫々は導電性ストリップにより形成されることを特徴とする請求項1に記載の半導体パッケージ。

【請求項7】前記ヒートスプレッドは厚さ $t_1$ を有する一方、前記導電性ストリップは厚さ $t_2$ を有し、厚さ比の条件 $1 < t_1 / t_2 \leq 3$ を満足することを特徴とする請求項6に記載の半導体パッケージ。

【請求項8】前記封止体は、前記第1及び第2リードの前記足部の実質的に全体を埋め包んで封止し、しかし、前記足部のつま先は、前記封止体の側面上で露出することを特徴とする請求項1に記載の半導体パッケージ。

【請求項9】前記足部の前記つま先は、前記封止体の側面から $0 \sim 0.3 \text{ mm}$ だけ突出することを特徴とする請求項8に記載の半導体パッケージ。

【請求項10】前記第1及び第2リードの夫々は、前記半導体チップの前記上側に対向する基部と、前記基部から曲がって前記半導体チップ及び前記ヒートスプレッド

の脇に沿って延びる脚部と、前記脚部から曲がって前記ヒートスプレッドから離れる側に延びる前記足部と、を具備することを特徴とする請求項1に記載の半導体パッケージ。

【請求項11】前記封止体は、前記半導体チップ、前記ヒートスプレッド、及び前記第1及び第2リードの前記基部及び前記脚部の全体と、前記第1及び第2リードの前記足部の少なくとも一部を埋め包んで封止することを特徴とする請求項10に記載の半導体パッケージ。

【請求項12】前記脚部は、前記平面に対して $90^\circ \pm 10^\circ$ の角度をなすことを特徴とする請求項10に記載の半導体パッケージ。

【請求項13】前記第1及び第2接合部材の夫々は、 $0.007 \sim 0.07 \text{ mm}^2$ の横断面積を有する接合部材を具備することを特徴とする請求項1に記載の半導体パッケージ。

【請求項14】前記第1及び第2接合部材の少なくとも一方は、 $0.2 \text{ mm}^2$ 以上の横断面積を有する接合部材を具備することを特徴とする請求項1に記載の半導体パッケージ。

【請求項15】前記封止体はエポキシ樹脂を含む熱硬化性樹脂からなる群から選択された材料から実質的なことを特徴とする請求項1に記載の半導体パッケージ。

【請求項16】前記第1及び第2接合部材の夫々は、金及び半田からなる群から選択された材料から実質的なことを特徴とする請求項1に記載の半導体パッケージ。

【請求項17】前記第1及び第2電極と前記第1及び第2接合部材との間に夫々介在するバリアメタル層を更に具備し、前記第1及び第2接合部材の夫々は半田から実質的なことを特徴とする請求項16に記載の半導体パッケージ。

【請求項18】前記ヒートスプレッドは、前記第1及び第2リードとは異なる材料から実質的なことを特徴とする請求項1に記載の半導体パッケージ。

【請求項19】上側に配設された第1及び第2電極と、底側に配設された第3電極と、を含む半導体チップの前記第3電極にヒートスプレッドを接合する工程と、前記第1及び第2電極の夫々に導電性の第1及び第2接合部材を介して導電性の第1及び第2リードを電氣的に接続する工程と、前記第1及び第2リードの夫々は、下端部において横方向に延び且つ前記ヒートスプレッドの第1側に並べて配置された足部を有することと、前記半導体チップ、前記ヒートスプレッド、及び前記第1及び第2リードの少なくとも前記足部の一部までを、絶縁性の封止体で埋め包んで封止する工程と、前記ヒートスプレッドの底面、前記第1及び第2リードの前記足部の底面は、前記封止体の底面から露出し、且つ実質的に同一の平面上に配置されることと、を具備することを特徴とする半導体パッケージの製造方法。

【請求項 20】前記第 1 及び第 2 リードを電氣的に接続する前且つ前記ヒートスプレッドを接合する前に、前記第 1 及び第 2 電極上に前記第 1 及び第 2 接合部材の材料を配置する工程を更に具備することを特徴とする請求項 19 に記載の半導体パッケージの製造方法。

【請求項 21】前記第 1 及び第 2 リードを電氣的に接続する工程は、フェイスダウンボンディングにより行うことを特徴とする請求項 19 に記載の半導体パッケージの製造方法。

【請求項 22】前記第 1 及び第 2 リードを電氣的に接続する前に、前記第 1 及び第 2 リード上に前記第 1 及び第 2 接合部材の材料を配置する工程を更に具備することを特徴とする請求項 21 に記載の半導体パッケージの製造方法。

【請求項 23】前記ヒートスプレッドは導電性であり、且つ前記第 3 電極に導電性の第 3 接合部材を介して電氣的に接続され、第 3 リードとして機能することを特徴とする請求項 19 に記載の半導体パッケージの製造方法。

【請求項 24】前記第 1 及び第 2 リードはリードフレームの一部であり、前記方法は、前記第 1 及び第 2 電極の夫々に前記第 1 及び第 2 リードを接続した後、前記リードフレームから前記第 1 及び第 2 リードを切り離す工程を更に具備することを特徴とする請求項 19 に記載の半導体パッケージの製造方法。

【請求項 25】上側に配設された第 1 及び第 2 電極と、底側に配設された第 3 電極と、を含む半導体チップと、前記第 3 電極に接合された導電性のヒートスプレッドと、前記ヒートスプレッドは前記第 3 電極に導電性の第 3 接合部材を介して電氣的に接続され、第 3 リードとして機能することと、

前記第 1 及び第 2 電極の夫々に導電性の第 1 及び第 2 接合部材を介して電氣的に接続された導電性の第 1 及び第 2 リードと、前記第 1 及び第 2 リードの夫々は導電性ストリップにより形成され、ここで、前記ヒートスプレッドは厚さ  $t_1$  を有する一方、前記導電性ストリップは厚さ  $t_2$  を有し、厚さ比の条件  $1 < t_1 / t_2 \leq 3$  を満足することと、前記第 1 及び第 2 リードの夫々は、前記半導体チップの前記上側に対向する基部と、前記基部から曲がって前記半導体チップ及び前記ヒートスプレッドの脇に沿って延びる脚部と、前記脚部から曲がって前記ヒートスプレッドから離れる側に延びる足部と、を具備することと、前記第 1 及び第 2 リードの前記足部は、前記ヒートスプレッドの第 1 側に並べて配置されることと、前記半導体チップ、前記ヒートスプレッド、及び前記第 1 及び第 2 リードの前記基部及び前記脚部の全体と、前記第 1 及び第 2 リードの前記足部の少なくとも一部を埋め込んで封止する絶縁性の封止体と、前記封止体はエポキシ樹脂を含む熱硬化性樹脂からなる群から選択された材料から実質的になることと、前記ヒートスプレッドの底面、前記第 1 及び第 2 リードの前記足部の底面は、前

記封止体の底面から露出し、且つ実質的に同一の平面上に配置されることと、を具備することを特徴とする半導体パッケージ。

【請求項 26】前記第 1 及び第 2 リードは、前記半導体チップに印加される第 1 及び第 2 電圧を夫々受ける唯一の端子であることを特徴とする請求項 25 に記載の半導体パッケージ。

【請求項 27】前記第 1、第 2、及び第 3 電極は、夫々ソース電極、ゲート電極、及びドレイン電極に電氣的に接続されることを特徴とする請求項 26 に記載の半導体パッケージ。

【請求項 28】前記封止体は、前記第 1 及び第 2 リードの前記足部の実質的に全体を埋め込んで封止し、しかし、前記足部のつま先は、前記封止体の側面上で露出することを特徴とする請求項 25 に記載の半導体パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、縦型の MOS トランジスタ等を含む半導体チップを組み込んだ半導体パッケージ及びその製造方法に関する。

【0002】

【従来の技術】図 17 (a) は縦型の MOS トランジスタを含むパワー半導体チップを組み込んだ従来の半導体パッケージを示す平面線図である。図 17 (b)、(c) は、図 17 (a) 図示の半導体パッケージの長手方向及びそれに直交する方向に沿った断面線図である。

【0003】図 17 (a) ~ (c) 図示の如く、リードフレーム 101 のデバイス搭載部 (ベッド部) 110 に、パワー半導体チップ 102 が半田 103 を介して装着される。リードフレーム 101 は、Cu、Cu 合金、Fe-42Ni 合金等の材料からなる。リードフレーム 101 は、ベッド部 110、第 1 リード 111、第 2 リード 112、及びベッド部 110 に連続的につながる第 3 リード 113 を有する。チップ 102 は、ソース領域、ベース領域、ドレイン領域、及びゲート電極等により形成される MOS トランジスタを有する。

【0004】チップ 102 の上側表面には、Al 等の金属電極 107a、及び金もしくは Al 等の金属電極 107b が配設される。金属電極 107a はソース電極 (ソース引き出し電極を含む) を介してソース領域及びベース領域に電氣的に接続される。金属電極 107b はゲート電極 (ゲート引き出し電極を含む) に電氣的に接続される。

【0005】チップ 102 の金属電極 107a、107b と、第 1 及び第 2 リード 111、112 とは Au ワイヤ等のボンディングワイヤ 116、114 を介して電氣的に接続される。チップ 102 と、ベッド部 110、第 1、第 2 及び第 3 リード 111 ~ 113 の基部、ボンディングワイヤ 116、114 は、エポキシ樹脂等の樹脂

封止体105により樹脂封止される。

#### 【0006】

【発明が解決しようとする課題】図17(a)～(c)に示す従来の半導体パッケージには次のような問題がある。パワー半導体デバイス例えば、縦型のMOSトランジスタ等を含むチップに対しては、Auワイヤの配線抵抗を低減するため、複数本のAuワイヤで接続を行う。この場合、電極パッド数を増やし、Auワイヤの接続本数を増やすほど組み立て工程のインデックスが増加する。また、設計上も、ワイヤ長の関係に起因して配線抵抗を更に低減するのが難しくなる。

【0007】また、パワー半導体チップにおいては、放熱特性の確保が重要である。放熱特性向上の点からはデバイスが装着されるリードフレームのベッド部を厚くする方が有利である。この場合、リードフレームそのものを厚くする必要があり、半導体パッケージ全体が大型となってしまう。また、リードフレームのベッド部のみを厚くすることは部品コストが大幅にアップとなる。従って、このようなリードフレームを製品に使用することは实际的でない。

【0008】米国特許第6,040,626(特開2000-114445号公報に対応)には、配線抵抗を低減するため、縦型のMOSトランジスタの半導体チップに第1リードを導電性接着剤を介して直接接合する構造が開示される。この構造では、しかし、半導体チップの放熱特性は改善されず、また、リードが樹脂封止体から突出するので小型化が難しい。

【0009】このような背景から、縦型のMOSトランジスタを含むパワー半導体チップのような、より定格の大きい大電流半導体チップを組込んだ場合であっても、全体のサイズを増加させなくて済むような、半導体パッケージが求められている。

#### 【0010】

【課題を解決するための手段】本発明の第1の視点は、半導体パッケージであって、上側に配設された第1及び第2電極と、底側に配設された第3電極と、を含む半導体チップと、前記第3電極に接合されたヒートスプレッドと、前記第1及び第2電極の夫々に導電性の第1及び第2接合部材を介して電気的に接続された導電性の第1及び第2リードと、前記第1及び第2リードの夫々は、  
10 下端部において横方向に延び且つ前記ヒートスプレッドの第1側に並べて配置された足部を有することと、前記半導体チップ、前記ヒートスプレッド、及び前記第1及び第2リードの少なくとも前記足部の一部までを埋め包んで封止する絶縁性の封止体と、前記ヒートスプレッドの底面、前記第1及び第2リードの前記足部の底面は、前記封止体の底面から露出し、且つ実質的に同一の平面上に配置されることと、を具備することを特徴とする。

【0011】本発明の第2の視点は、半導体パッケージの製造方法であって、上側に配設された第1及び第2電

極と、底側に配設された第3電極と、を含む半導体チップの前記第3電極にヒートスプレッドを接合する工程と、前記第1及び第2電極の夫々に導電性の第1及び第2接合部材を介して導電性の第1及び第2リードを電気的に接続する工程と、前記第1及び第2リードの夫々は、  
10 下端部において横方向に延び且つ前記ヒートスプレッドの第1側に並べて配置された足部を有することと、前記半導体チップ、前記ヒートスプレッド、及び前記第1及び第2リードの少なくとも前記足部の一部までを、絶縁性の封止体で埋め包んで封止する工程と、前記ヒートスプレッドの底面、前記第1及び第2リードの前記足部の底面は、前記封止体の底面から露出し、且つ実質的に同一の平面上に配置されることと、を具備することを特徴とする。

【0012】本発明の第3の視点は、半導体パッケージであって、上側に配設された第1及び第2電極と、底側に配設された第3電極と、を含む半導体チップと、前記第3電極に接合された導電性のヒートスプレッドと、前記ヒートスプレッドは前記第3電極に導電性の第3接合部材を介して電気的に接続され、第3リードとして機能することと、前記第1及び第2電極の夫々に導電性の第1及び第2接合部材を介して電気的に接続された導電性の第1及び第2リードと、前記第1及び第2リードの夫々は導電性ストリップにより形成され、ここで、前記ヒートスプレッドは厚さ $t_1$ を有する一方、前記導電性ストリップは厚さ $t_2$ を有し、厚さ比の条件 $1 < t_1/t_2 \leq 3$ を満足することと、前記第1及び第2リードの夫々は、前記半導体チップの前記上側に対向する基部と、前記基部から曲がって前記半導体チップ及び前記ヒートスプレッドの脇に沿って延びる脚部と、前記脚部から曲がって前記ヒートスプレッドから離れる側に延びる足部と、を具備することと、前記第1及び第2リードの前記足部は、前記ヒートスプレッドの第1側に並べて配置されることと、前記半導体チップ、前記ヒートスプレッド、及び前記第1及び第2リードの前記基部及び前記脚部の全体と、前記第1及び第2リードの前記足部の少なくとも一部を埋め包んで封止する絶縁性の封止体と、前記封止体はエポキシ樹脂を含む熱硬化性樹脂からなる群から選択された材料から実質的なことと、前記ヒートスプレッドの底面、前記第1及び第2リードの前記足部の底面は、前記封止体の底面から露出し、且つ実質的に同一の平面上に配置されることと、を具備することを特徴とする。

【0013】更に、本発明の実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施の形態に示される全構成要件から幾つかの構成要件が省略されることで発明が抽出された場合、その抽出された発明を実施する場合には省略部分が周知慣用技術で適宜補われるものである。

## 【0014】

【発明の実施の形態】本発明の実施の形態について図面を参照して以下に説明する。

【0015】(第1の実施の形態)図1(a)は縦型のMOSトランジスタを含むパワー半導体チップを組込んだ本発明の第1の実施の形態に係る半導体パッケージを示す平面図である。図1(b)、(c)は、図1(a)図中のIB-IB線に沿った断面図、及びIC-IC線に沿った断面図である。図2(a)、(b)は、図1(a)図示の半導体パッケージの底面図及びリードが形成された側10の側面図である。

【0016】この実施の形態の半導体パッケージ10は、縦型のMOSトランジスタを含むパワー半導体チップ2を有する。後述するように、チップ2の上側にソース電極(ソース引き出し電極を含む)及びゲート引き出し電極8が配設される。また、チップ2の底側にドレイン電極が配設される。半導体チップ2は、半田(導電性の接合部材)3を介して導電性のヒートスプレッド6上に装着される。

【0017】ソース電極及びゲート引き出し電極8上には、Au等の導電性材料からなるパンプコンタクト(導電性の接合部材)7a、7bが夫々配設される。パンプコンタクト7a、7bには、導電性ストリップからなる第1及び第2リード11、12が夫々接合される。従って、第1リード11はパンプコンタクト7aを介してソース電極に電氣的に接続される。第2リード12はパンプコンタクト7bを介してゲート電極引き出し電極8に電氣的に接続される。なお、ヒートスプレッド6は、半田3を介して半導体チップ2の底部のドレイン電極に電氣的に接続されているため、第3リードとして機能する。30

【0018】ヒートスプレッド6は、Cu、Mo、W等の板部材や板部材の貼合せ構造、例えばCKC材(Cu/Kovar/Cu)から形成される。第1及び第2リード11、12の導電性ストリップはCu、Cu合金等から形成される。ヒートスプレッド6の厚さt1は、第1及び第2リード11、12の導電性ストリップの厚さt2より厚い( $t1 > t2$ )。ヒートスプレッド6の厚さt1は0.15~0.5mm、望ましくは0.15~0.3mmに設定される。リードの導電性ストリップの厚さt2は0.1~0.3mm、望ましくは0.12~0.15mmに設定される。リードの導電性ストリップの厚さt2に対するヒートスプレッド6の厚さt1の比( $t1/t2$ )は、 $1 < t1/t2 \leq 3$ に設定される。これにより、ヒートスプレッド6を介するチップ2の放熱特性が高いものとなる。なお、本実施の形態において、例えば、リードの導電性ストリップの厚さは約0.15mmで、ヒートスプレッド6の厚さは約0.3mmである。

【0019】第1及び第2リード11、12の夫々は、50

基部L1、脚部L2、及び足部L3を有する。基部L1はチップ2の上側の面に対して平行(水平)に対向する。脚部L2は基部L1から曲がって半導体チップ2及びヒートスプレッド6の脇に沿って垂直に延びる。足部L3は脚部L2から曲がってヒートスプレッド6から離れる側に水平に延びる。第1及び第2リード11、12のヒートスプレッド6の1つの側のみに引出され、それらの足部L3は同側において横に並べて配置される。

【0020】本実施の形態において、基部L1、脚部L2、及び足部L3の屈曲角度は略90度に設定される。この構成は、半導体パッケージ10の小型化に寄与する。従来の半導体パッケージでは、リードに支持機能を持たせているため、リードの脚部(図1(b)図示の脚部L2に対応)は水平面(パッケージの実装面)に対して大きな角度をなすように形成される。これに対して、本実施の形態に係る半導体パッケージ1においては、リードの脚部L2は、水平面(パッケージの実装面)に対して、 $90^\circ \pm 10^\circ$ 、望ましくは $90^\circ \pm 5^\circ$ の角度をなすように配設される。

【0021】半導体チップ2、半田3、ヒートスプレッド6、第1及び第2リード11、12、パンプコンタクト7a、7bを埋め込んで封止するように絶縁性の封止体5が形成される。封止体5はエポキシ樹脂等の熱硬化性樹脂からなる群から選択された材料から実質的になる。ヒートスプレッド6の底面、第1及び第2リード11、12の足部L3の底面は、封止体5の底面から露出する。部材6、L3、5の底面は、実質的に同一の水平面(パッケージの実装面)上に配置される。

【0022】なお、第1及び第2リード11、12の足部L3のつま先は、封止体5の側面上で露出させることができる。これにより、半導体パッケージ10を実装した際に、回路基板に対する第1及び第2リード11、12の接合状態を視認することができる。但し、足部L3のつま先の突出長さd(図4参照)は、0~0.3mm、望ましくは0.1~0.2mmとする。この構成に代え、透明な樹脂等からなる封止体を使用しても、第1及び第2リード11、12の接合状態を視認することができる。

【0023】図3は半導体パッケージ10の半導体チップ2の内部構造を示す断面図である。図4は半導体チップ2と、ヒートスプレッド6、第1リード11との関係を示す断面図である。

【0024】チップ2は、例えば、n型シリコン半導体基板Subを用いて形成される。基板Subの表面内にはp型ベース領域42が形成される。p型ベース領域42の表面内にはn型ソース領域43が形成される。p型ベース領域42の表面内にはまたp型コンタクト領域42aが形成される。p型ベース領域42が形成されていない基板Subの裏面側は、n型ドレイン領域41となる。

【0025】基板Subの表面から垂直下方に向かって複数のトレンチ40が形成される。トレンチ40はn型ソース領域43、p型ベース領域42を貫通してドレイン領域41の所定の深さまでに達する。即ち、トレンチ40の底面は、ドレイン領域41中に形成される。トレンチ40の内側壁には、例えば、熱酸化により形成されたシリコン酸化膜等のゲート絶縁膜44が形成される。ゲート絶縁膜44は、実質的にトレンチ40の開口端まで形成される。ゲート絶縁膜44は、エッチング処理により基板Subの主面より幾分下に形成されることもある。トレンチ40内には更に、ゲート絶縁膜44に被覆された状態でポリシリコン等からなるゲート電極45が埋め込まれる。トレンチ40の入口を閉鎖するように、即ちゲート電極45及びゲート絶縁膜44の頂部を覆うように、基板Sub上に層間絶縁膜46が形成される。層間絶縁膜46は、例えば、リフロー性の高いBP SG等の材料からなり、リフローにより表面が平坦化される。

【0026】ゲート電極45は、基板Subの主面上に形成されたアルミニウム等のからなるゲート引き出し電極8に電氣的に接続される。層間絶縁膜46上にアルミニウム等からなるソース電極15が配設される。ソース電極15は、層間絶縁膜46に形成されたコンタクトホールを通してn型ソース領域43及びp型コンタクト領域42aに電氣的に接続される。なお、ソース電極15と、n型ソース領域43及びp型コンタクト領域42aとの間には、TiW膜等のバリアメタル層を介在させることもできる。ソース電極15及びゲート引き出し電極8上には、チップ2を被覆保護するシリコン窒化膜等からなるパッシベーション膜4が配設される。一方、基板Subの裏面上には、ドレイン領域41と電氣的に接続されるようにドレイン電極16が配設される。

【0027】なお、上述の如く、ソース電極15及びゲート引き出し電極8には、バンプコンタクト7a、7bを介して第1及び第2リード11、12が電氣的に接続される。また、ドレイン電極16には半田3を介してヒートスプレッド6が電氣的に接続される。図4図示の如く、バンプコンタクト7a、7bは、パッシベーション膜4の開口部を通してソース電極15及びゲート引き出し電極8に接合され、パッシベーション膜4の上側に突出する。バンプコンタクト7a、7bの夫々は0.007~0.07mm<sup>2</sup>の横断面積を有する。第1及び第2リード11、12の基部L1の端部は、バンプコンタクト7a、7bを越えてチップ2の中心側まで延在する。

【0028】図5は第1の実施の形態に係る半導体パッケージの製造方法を示すフローチャートである。図6

(a)~(e)は同製造方法における加工品の変化を順に示す図である。

【0029】まず、シリコン等の半導体ウエハWを用意する。ウエハWに、上述の構造を有する半導体デバイ

ス、即ち縦型のMOSトランジスタとなる部分を多数形成する(工程S1)。次に、多数の半導体デバイスのソース電極及びゲート引き出し電極に対応するウエハWの部分上に、Au等の導電性材料からなるバンプコンタクト7a、7bを夫々形成する(工程S2:図6

(a))。バンプコンタクト7a、7bは、スタッドバンプボンダーを用いる方法、メッキを用いる方法等により形成することができる。

【0030】次に、ウエハWの底部、即ち半導体デバイスのドレイン電極とヒートスプレッド用の円板HSとを半田により接合する(工程S3:図6(b))。この時、半田は、ウエハWの裏面にあらかじめ蒸着しておくこともできるし、ヒートスプレッド用の円板HSの表面にメッキしておくこともできる。また、接合の形態としては、例えば、ウエハレベルでの接合の他に、ダイシング後のチップレベルでの接合を行うこともできる。

【0031】次に、ウエハWをヒートスプレッド用の円板HSと共にダイシングする。これにより、半田3を介してヒートスプレッド6に半導体チップ2が装着された中間構造MSを多数切り出す(工程S4:図6

(c))。

【0032】次に、第1及び第2リード11、12の材料となるリードフレームに対して、中間構造MSを接合する(工程S5:図6(d))。この際、チップ2を逆さにして、即ちチップ2の主面(バンプコンタクト7a、7bが配設された側)を下にして、フェイスダウンボンディングを行う。図7は、フェイスダウンボンディングの際の、第1及び第2リード11、12の材料となるリードフレーム1とチップ2との関係を示す底面図である。この際、ボンディングの方法として、例えば超音波熱圧着法等を用いる。この場合、リードフレーム1には、例えば、メッキを施したPPF(Pre-Plating Lead Frame)等を用いる。メッキはNi/Pd/Au等の材料からなる。

【0033】次に、上記工程で得られた構造に対して、絶縁性の封止体5を、例えば、モールドイングにより形成する(工程S6:図6(e))。封止体5の材料は、例えば、エポキシ樹脂等の熱硬化性樹脂からなる群から選択する。このようにして形成した封止体5により、半導体チップ2、半田3、ヒートスプレッド6、第1及び第2リード11、12を埋め込んで封止する。なお、樹脂封止後の状態において、ヒートスプレッド6の底面、第1及び第2リード11、12の足部L3の底面が、封止体5の底面から露出する。また、部材6、L3、5の底面は、実質的に同一の水平面(パッケージの実装面)上に配置される。

【0034】上述のように、第1の実施の形態に係る半導体パッケージ10の製造方法においては、半導体チップ2をヒートスプレッド6上へ装着し、その後、バンプコンタクト7a、7bを介してリードフレーム1上へフ



フェイスダウンボンディングする。これにより、半導体チップをリードフレーム上へ装着する従来の半導体パッケージにおいて特性上のネックとなっていた、配線抵抗や熱抵抗を低減することが可能となる。

【0035】また、第1の実施の形態に係る半導体パッケージ10においては、ヒートスプレッド6が形成する第3リード（ドレインリード）の端子部分と、ヒートスプレッド6の片側に並べられた第1及び第2リード（ソースリード、ゲートリード）11、12の端子部分とが、封止体5の底面において実質的に同一の水平面（パッケージの実装面）上に配置される。これにより、複数のリードを樹脂封止体の両側面より取り出す従来の半導体パッケージに比べて、サイズを大幅に小型化することができる。また、より定格の大きい大電流半導体チップを複数個同一のパッケージに収めることも可能となり、面積効率の向上を図ることができる。

【0036】（第2の実施の形態）図8は縦型のMOSトランジスタを含むパワー半導体チップを組込んだ本発明の第2の実施の形態に係る半導体パッケージを示す断面図である。図9は図8図示の半導体パッケージにおける半導体チップの内部構造を示す断面図である。

【0037】この実施の形態の半導体パッケージ50は、第1の実施の形態と同様の縦型のMOSトランジスタを含むパワー半導体チップ2を有する。即ち、図9図示の如く、チップ2の上側にソース電極（ソース引き出し電極を含む）15及びゲート引き出し電極8が配設される。また、チップ2の底側にドレイン電極16が配設される。半導体チップ2は、半田（導電性の接合部材）3を介して導電性のヒートスプレッド6上に装着される。

【0038】ソース電極15及びゲート引き出し電極8上には、半田からなるバンプコンタクト（導電性の接合部材）27a、27bが夫々配設される。バンプコンタクト27a、27bとソース電極15及びゲート引き出し電極8との間には、Pd層（又はAu層）23/Ni層22/Ti層21からなるバリアメタル積層構造20が配設される。ソース電極15及びゲート引き出し電極8がアルミニウム膜からなる場合、通常、直接半田接続はしない（場合によっては直接接続をすることもできる）。そこで、両者の間にバリアメタル積層構造20を介在させることにより、両者の接続状態を良好なものとする。バリアメタル層21、22、23は、例えば、真空蒸着法等により形成される。バンプコンタクト27a、27bは、Pd層更にはこの層を越えてNi層に接合する。

【0039】バンプコンタクト27a、27bには、導電性ストリップからなる第1及び第2リード11、12が夫々接合される。従って、第1リード11はバンプコンタクト27aを介してソース電極15に電氣的に接続される。第2リード12はバンプコンタクト27bを介

してゲート電極引き出し電極8に電氣的に接続される。なお、ヒートスプレッド6は、半田3を介してドレイン電極16に電氣的に接続されているため、第3リードとして機能する。

【0040】半導体チップ2、半田3、ヒートスプレッド6、第1及び第2リード11、12、バンプコンタクト27a、27bを埋め込んで封止するように絶縁性の封止体5が形成される。ヒートスプレッド6の底面、第1及び第2リード11、12の足部L3の底面は、封止体5の底面から露出する。部材6、L3、5の底面は、実質的に同一の水平面（パッケージの実装面）上に配置される。

【0041】図10は第2の実施の形態に係る半導体パッケージの製造方法を示すフローチャートである。この製造方法における加工品の変化は図6(a)～(e)に示すものと同じである。

【0042】まず、シリコン等の半導体ウエハWを用意する。ウエハWに、上述の構造を有する半導体デバイス、即ち縦型のMOSトランジスタとなる部分を多数形成する（工程S11）。次に、多数の半導体デバイスのソース電極及びゲート引き出し電極に対応するウエハWの部分上に、バリアメタル層21、22、23を順に形成する（工程S12）。バリアメタル層21、22、23は、例えば、真空蒸着法等を利用して形成することができる。

【0043】次に、バリアメタル層23上に半田からなるバンプコンタクト27a、27bを夫々形成する（工程S13：図6(a)）。バンプコンタクト27a、27bは、例えば、半田印刷法、半田メッキ法、半田ボール搭載法等を用いて形成することができる。

【0044】以降は、前述のように、工程S3～S6に従って、ヒートスプレッド用の円板HSの半田付け、ダイシング、フェイスダウンボンディング、モールドイングを行い、図8及び図9図示の半導体パッケージ50を形成する。なお、第2の実施の形態においては、バンプコンタクト27a、27bが半田からなるため、工程S5フェイスダウンボンディングにおいて、例えば、パルスヒート法を用いることができる。

【0045】第2の実施の形態に係る半導体パッケージ50の製造方法においても、従来特性上のネックとなっていた、配線抵抗や熱抵抗を低減することが可能となる。また、第2の実施の形態に係る半導体パッケージ50においても従来に比べてパッケージサイズを大幅に小型化することができる。

【0046】（第3の実施の形態）図11(a)は縦型のMOSトランジスタを含むパワー半導体チップを組込んだ本発明の第3の実施の形態に係る半導体パッケージを示す平面図である。図11(b)、(c)は、図11(a)図中のXIB-XIB線に沿った断面図、及びXIC-XIC線に沿った断面図である。図12は図11(a)図

示の半導体パッケージにおける半導体チップの内部構造を示す断面図である。

【0047】この実施の形態の半導体パッケージ60は、第1及び第2の実施の形態と同様の縦型のMOSトランジスタを含むパワー半導体チップ2を有する。即ち、図12図示の如く、チップ2の上側にソース電極（ソース引き出し電極を含む）15及びゲート引き出し電極8が配設される。また、チップ2の底側にドレイン電極16が配設される。半導体チップ2は、半田（導電性の接合部材）3を介して導電性のヒートスプレッド6

10 上に装着される。  
【0048】ソース電極15及びゲート引き出し電極8に対応して、チップ2を被覆保護するシリコン窒化膜等からなるパッシベーション膜4に大きな開口が形成される。これらの開口内で電極に接続され且つ上方に突出するように、半田からなる接合部材（導電性の接合部材）62a、62bが夫々配設される。ソース電極15上の接合部材62aは、 $0.2\text{mm}^2$ 以上の横断面積を有し、通常のパンプコンタクトよりもかなり大きなものとなっている。

20 【0049】接合部材62a、62bには、導電性ストリップからなる第1及び第2リード11、12が夫々接合される。従って、第1リード11は接合部材62aを介してソース電極15に電氣的に接続される。第2リード12は接合部材62bを介してゲート電極引き出し電極8に電氣的に接続される。なお、ヒートスプレッド6は、半田3を介してドレイン電極16に電氣的に接続されているため、第3リードとして機能する。

30 【0050】半導体チップ2、半田3、ヒートスプレッド6、第1及び第2リード11、12、接合部材62a、62bを埋め込んで封止するように絶縁性の封止体5が形成される。ヒートスプレッド6の底面、第1及び第2リード11、12の足部L3の底面は、封止体5の底面から露出する。部材6、L3、5の底面は、実質的に同一の水平面（パッケージの実装面）上に配置される。

【0051】図13は第3の実施の形態に係る半導体パッケージの製造方法を示すフローチャートである。

40 【0052】まず、シリコン等の半導体ウェハを用意する。ウェハに、上述の構造を有する半導体デバイス、即ち縦型のMOSトランジスタとなる部分を多数形成する（工程S21）。この際、各半導体デバイスの接合部材62a、62bを形成する対応する位置には、パッシベーション膜4に大きな開口を形成しておく。

50 【0053】次に、ウェハの底部、即ち半導体デバイスのドレイン電極とヒートスプレッド用の円板とを半田により接合する（工程S22）。この時、半田は、ウェハの裏面にあらかじめ蒸着しておくこともできるし、ヒートスプレッド用の円板の表面にメッキしておくこともできる。また、接合の形態としては、例えば、ウェハレベ

ルでの接合の他に、ダイシング後のチップレベルでの接合を行うこともできる。

【0054】次に、ウェハをヒートスプレッド用の円板と共にダイシングする。これにより、半田3を介してヒートスプレッド6に半導体チップ2が装着された中間構造を多数切り出す（工程S23）。

【0055】次に、第1及び第2リード11、12の材料となるリードフレームに対して、中間構造を接合する（工程S24）。この際、まず、リードフレーム上に接合部材62a、62bの材料となる半田を配置する。次に、チップ2を逆さにしてリードフレームに対して位置合せを行い、接合部材62a、62bの材料となる半田をリフローさせる。このようにして、リードフレームに対して、チップ2のフェイスダウンボンディングを行う。

【0056】次に、上記工程で得られた構造に対して、絶縁性の封止体5を、例えば、モールドディングにより形成する（工程S25）。このようにして形成した封止体5により、半導体チップ2、半田3、ヒートスプレッド6、第1及び第2リード11、12を埋め込んで封止する。

【0057】第3の実施の形態に係る半導体パッケージ60の製造方法においても、従来特性上のネックとなっていた、配線抵抗や熱抵抗を低減することが可能となる。また、第1及び第2リード11、12を接続する接合部材62a、62bの半田をフェイスダウンボンディングの工程において直接供給するため、第1の実施の形態に比べて製造方法の簡略化が図ることができる。また、第3の実施の形態に係る半導体パッケージ60においても従来に比べてパッケージサイズを大幅に小型化することができる。

【0058】（第4の実施の形態）図14は縦型のMOSトランジスタを含むパワー半導体チップを組込んだ本発明の第4の実施の形態に係る半導体パッケージを示す断面図である。図15は図14図示の半導体パッケージにおける半導体チップの内部構造を示す断面図である。

【0059】この実施の形態の半導体パッケージ70は、第1乃至第3の実施の形態と同様の縦型のMOSトランジスタを含むパワー半導体チップ2を有する。即ち、図15図示の如く、チップ2の上側にソース電極（ソース引き出し電極を含む）15及びゲート引き出し電極8が配設される。また、チップ2の底側にドレイン電極16が配設される。半導体チップ2は、半田（導電性の接合部材）3を介して導電性のヒートスプレッド6上に装着される。

【0060】ソース電極15及びゲート引き出し電極8に対応して、チップ2を被覆保護するシリコン窒化膜等からなるパッシベーション膜4に大きな開口が形成される。これらの開口内で電極に接続され且つ上方に突出するように、半田からなる接合部材（導電性の接合部材）

72a、72bが夫々配設される。ソース電極15上の接合部材72aは、0.2mm<sup>2</sup>以上の横断面積を有し、通常のバンプコンタクトよりもかなり大きなものとなっている。

【0061】接合部材72a、72bとソース電極15及びゲート引き出し電極8との間には、Pd層（又はAu層）23/Ni層22/Ti層21からなるバリアメタル積層構造20が配設される。ソース電極15及びゲート引き出し電極8がアルミニウム膜からなる場合、通常、直接半田接続はしない（場合によっては直接接続をすることもできる）。そこで、両者の間にバリアメタル積層構造20を介在させることにより、両者の接続状態を良好なものとする。バリアメタル層21、22、23は、例えば、真空蒸着法等により形成される。接合部材72a、72bは、Pd層更にはこの層を越えてNi層に接合する。

【0062】接合部材72a、72bには、導電性ストリップからなる第1及び第2リード11、12が夫々接合される。従って、第1リード11は接合部材72aを介してソース電極15に電氣的に接続される。第2リード12は接合部材72bを介してゲート電極引き出し電極8に電氣的に接続される。なお、ヒートスプレッド6は、半田3を介してドレイン電極16に電氣的に接続されているため、第3リードとして機能する。

【0063】半導体チップ2、半田3、ヒートスプレッド6、第1及び第2リード11、12、接合部材72a、72bを埋め込んで封止するように絶縁性の封止体5が形成される。ヒートスプレッド6の底面、第1及び第2リード11、12の足部L3の底面は、封止体5の底面から露出する。部材6、L3、5の底面は、実質的に同一の水平面（パッケージの実装面）上に配置される。

【0064】図16は第4の実施の形態に係る半導体パッケージの製造方法を示すフローチャートである。

【0065】まず、シリコン等の半導体ウエハWを用意する。ウエハWに、上述の構造を有する半導体デバイス、即ち縦型のMOSトランジスタとなる部分を多数形成する（工程S31）。この際、各半導体デバイスの接合部材72a、72bを形成する対応する位置には、パッシベーション膜4に大きな開口を形成しておく。次に、パッシベーション膜4に大きな開口に対応する位置に、バリアメタル層21、22、23を順に形成する（工程S32）。バリアメタル層21、22、23は、例えば、真空蒸着法等を利用して形成することができる。

【0066】以降は、前述のように、工程S22～S25に従って、ヒートスプレッド用の円板の半田付け、ダイシング、フェイスダウンボンディング、モールドイングを行い、図14及び図15図示の半導体パッケージ70を形成する。

【0067】第4の実施の形態に係る半導体パッケージ70の製造方法においても、従来特性上のネックとなっていた、配線抵抗や熱抵抗を低減することが可能となる。また、第1及び第2リード11、12を接続する接合部材72a、72bの半田をフェイスダウンボンディングの工程において直接供給するため、第2の実施の形態に比べて製造方法の簡略化を図ることができる。また、第4の実施の形態に係る半導体パッケージ70においても従来に比べてパッケージサイズを大幅に小型化することができる。

【0068】なお、第1乃至第4の実施の形態においては、パワー半導体チップ内の半導体デバイスとして縦型のMOSトランジスタを説明したが、この半導体デバイスはIGBT（Insulated Gate Bipolar Transistor）等の他のデバイスであってもよい。

【0069】その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範疇に属するものと了解される。

【0070】

【発明の効果】以上説明したように、本発明によれば、従来に比べてパッケージサイズを大幅に小型化することができる。

【図面の簡単な説明】

【図1】（a）は縦型のMOSトランジスタを含むパワー半導体チップを組込んだ本発明の第1の実施の形態に係る半導体パッケージを示す平面図であり、（b）、（c）は、図1（a）図中のIB-IB線に沿った断面図、及びIC-IC線に沿った断面図である。

【図2】（a）、（b）は、図1（a）図示の半導体パッケージの底面図及びリードが形成された側の側面図である。

【図3】図1（a）図示の半導体パッケージにおける半導体チップの内部構造を示す断面図である。

【図4】図1（a）図示の半導体パッケージにおける半導体チップと、ヒートスプレッド、第1リードとの関係を示す断面図である。

【図5】第1の実施の形態に係る半導体パッケージの製造方法を示すフローチャートである。

【図6】（a）～（e）は図5図示のフローチャートの製造方法における加工品の変化を順に示す図である。

【図7】フェイスダウンボンディングの際の、第1及び第2リードの材料となるリードフレームとチップとの関係を示す底面図である。

【図8】縦型のMOSトランジスタを含むパワー半導体チップを組込んだ本発明の第2の実施の形態に係る半導体パッケージを示す断面図である。

【図9】図8図示の半導体パッケージにおける半導体チップの内部構造を示す断面図である。

【図10】第2の実施の形態に係る半導体パッケージの

17

製造方法を示すフローチャートである。

【図 11】 (a) は縦型の MOS トランジスタを含むパワー半導体チップを組込んだ本発明の第 3 の実施の形態に係る半導体パッケージを示す平面図であり、(b)、(c) は、図 11 (a) 図中の XIB-XIB 線に沿った断面図、及び XIC-XIC 線に沿った断面図である。

【図 12】 図 11 (a) 図示の半導体パッケージにおける半導体チップの内部構造を示す断面図である。

【図 13】 第 3 の実施の形態に係る半導体パッケージの製造方法を示すフローチャートである。

【図 14】 縦型の MOS トランジスタを含むパワー半導体チップを組込んだ本発明の第 4 の実施の形態に係る半導体パッケージを示す断面図である。

【図 15】 図 14 図示の半導体パッケージにおける半導体チップの内部構造を示す断面図である。

【図 16】 第 4 の実施の形態に係る半導体パッケージの製造方法を示すフローチャートである。

【図 17】 (a) は縦型の MOS トランジスタを含むパワー半導体チップを組込んだ従来の半導体パッケージを

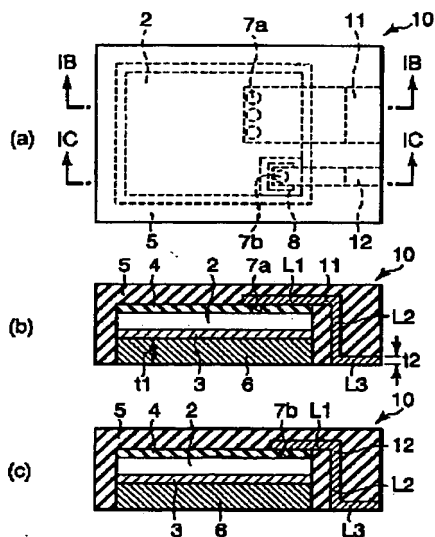
18

示す平面線図であり、(b)、(c) は、図 17 (a) 図示の半導体パッケージの長手方向及びそれに直交する方向に沿った断面線図である。

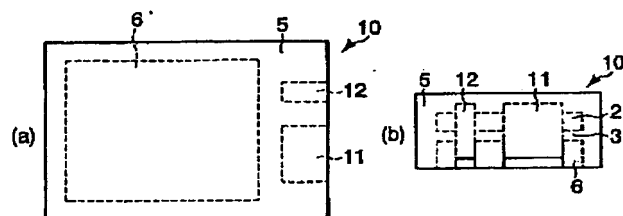
【符号の説明】

- 10、50、60、70…半導体パッケージ  
 2…半導体チップ  
 3…半田 (導電性の接合部材)  
 4…パッシベーション膜  
 5…樹脂封止体  
 10 6…ヒートスプレッダ  
 8…ゲート引き出し電極  
 11、12…リード  
 15…ソース電極  
 16…ドレイン電極  
 20…バリアメタル積層構造  
 7a、7b、27a、27b…バンプコンタクト (導電性の接合部材)  
 62a、62b、72a、72b…接合部材 (導電性の接合部材)

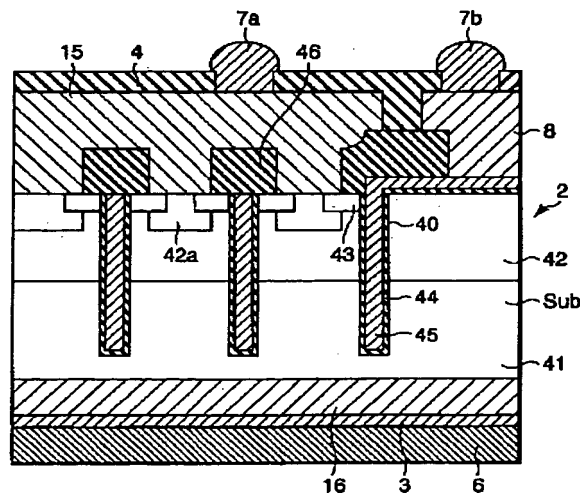
【図 1】



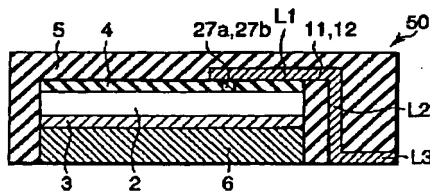
【図 2】



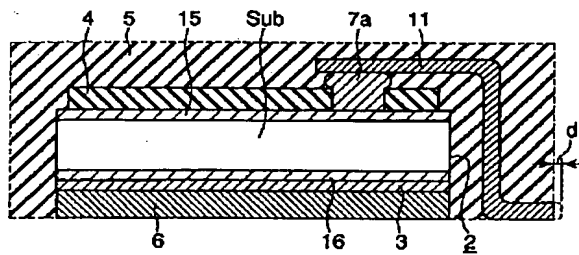
【図 3】



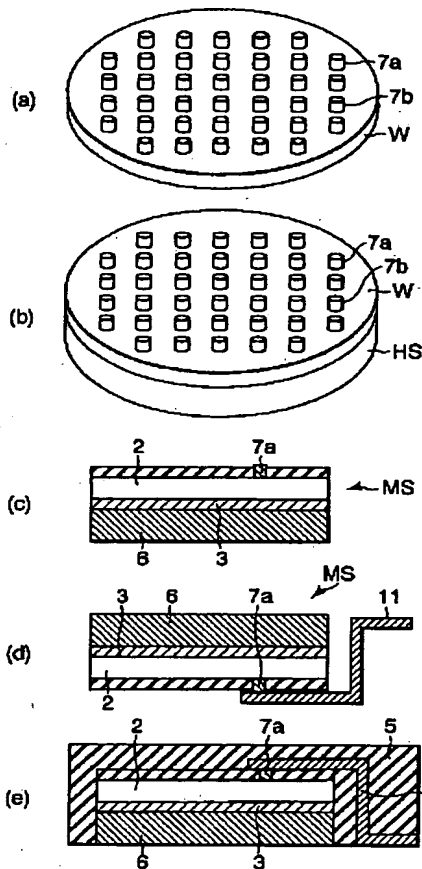
【図 8】



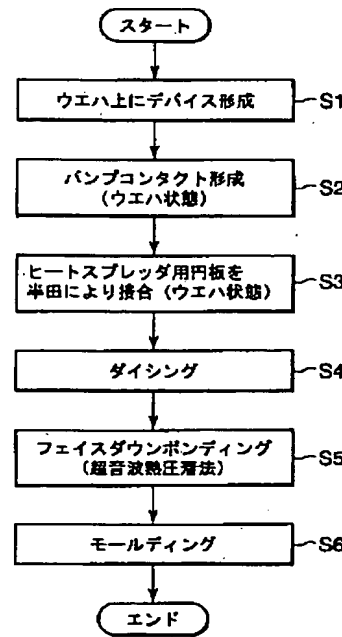
【図 4】



【図 6】

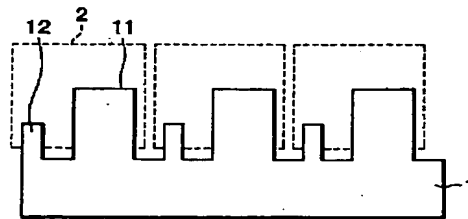
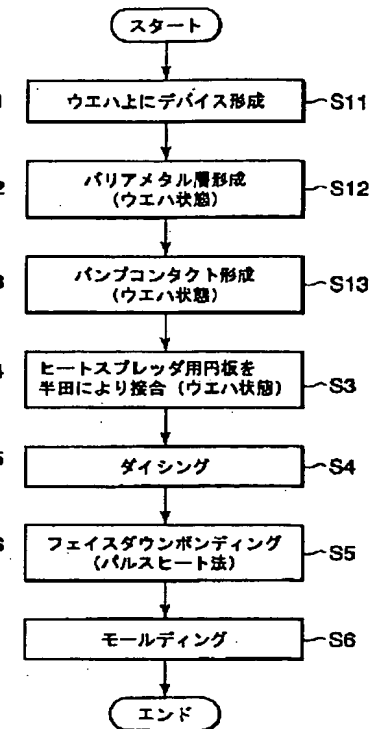


【図 5】

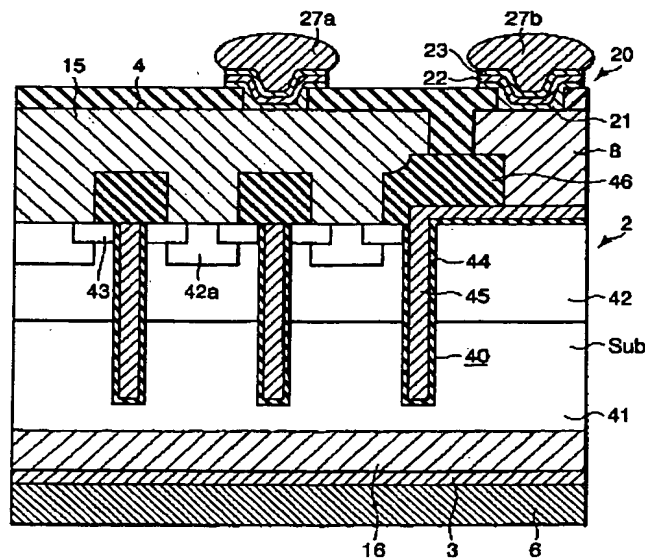


【図 7】

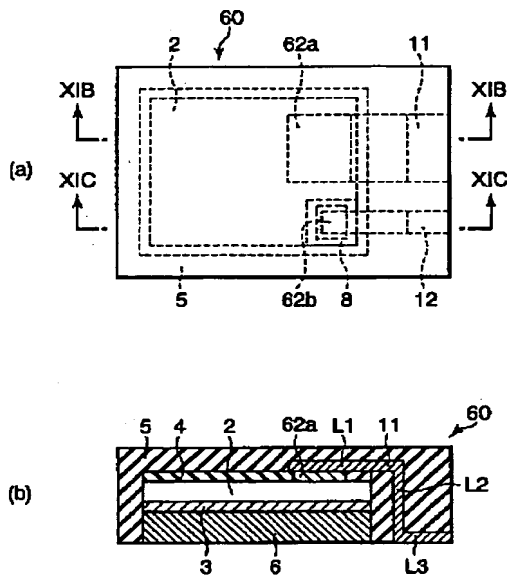
【図 10】



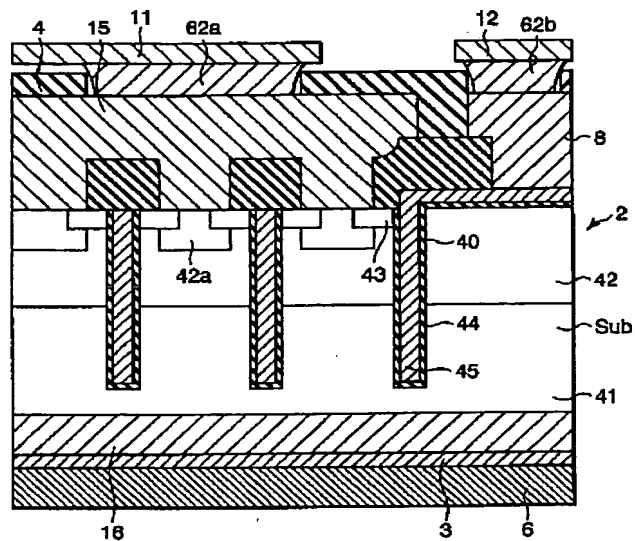
【図 9】



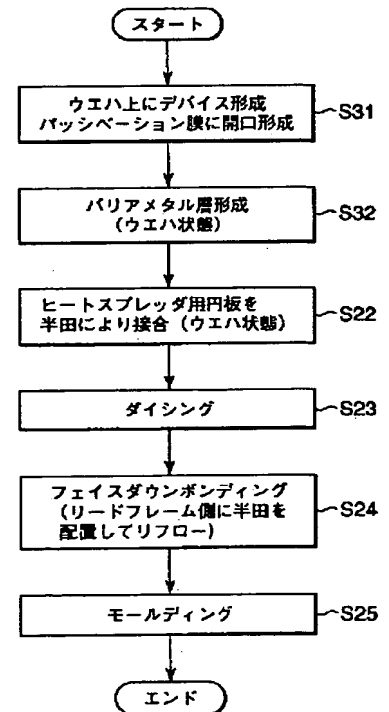
【図 11】



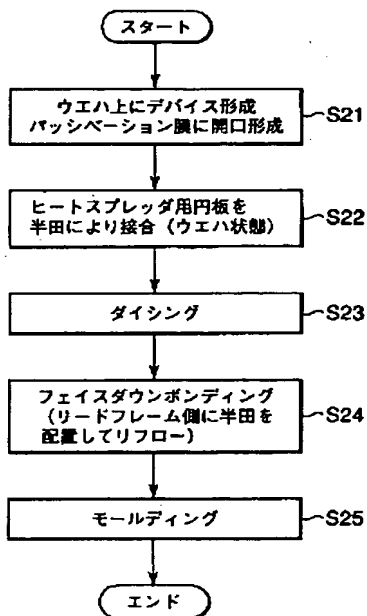
【図 12】



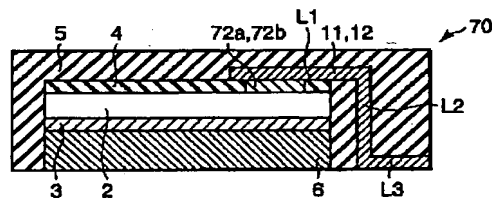
【図 16】



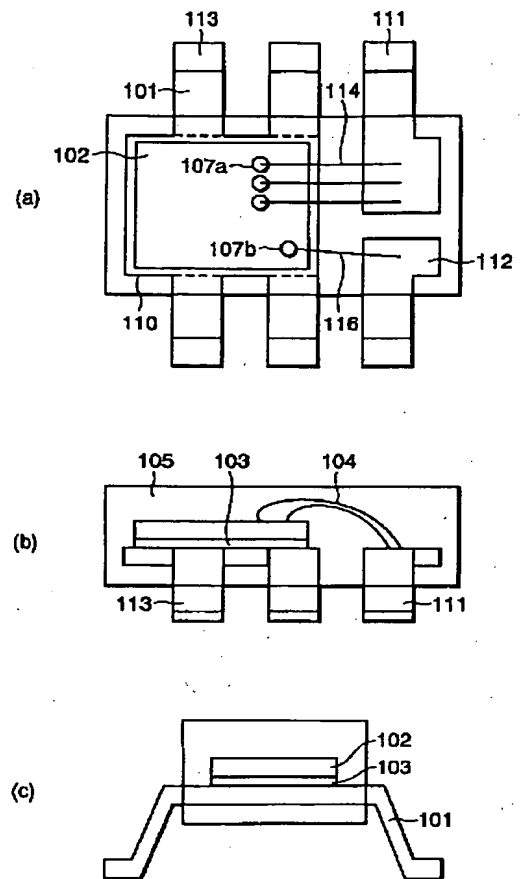
【図 13】



【図 14】



【図 17】



**THIS PAGE BLANK (USPTO)**